

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-093287

(43)Date of publication of application : 06.04.2001

(51)Int.Cl. G11C 16/02

(21)Application number : 11-270873

(71)Applicant : SONY CORP

(22)Date of filing : 24.09.1999

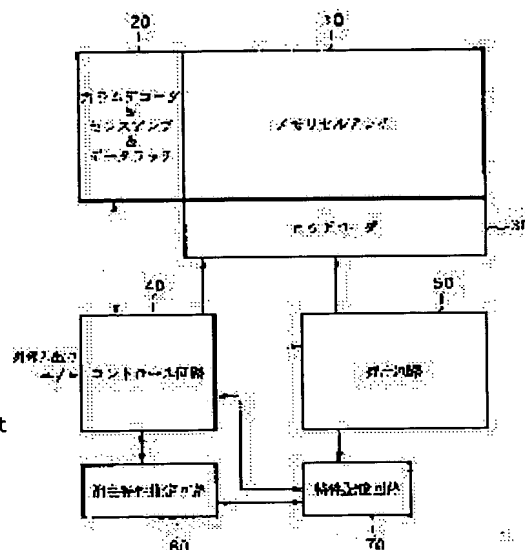
(72)Inventor : MIYASHITA MASARU

## (54) NONVOLATILE SEMICONDUCTOR MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a nonvolatile semiconductor memory in which threshold voltage after erasure can be controlled highly accurately by predicting an erasure characteristic based on a write-in characteristic, and performing memory erasure conforming to erasure conditions set in accordance with the above.

**SOLUTION:** An erasure characteristic predicting means predicts an erasure characteristic in accordance with correlation between a write-in characteristic previously obtained and an erasure characteristic based on a write-in characteristic of a memory cell, and stores obtained erasure characteristic information in a storage means. At the time of erasure operation, erasure conditions, for example, the number of times of applying erasing pulse until reaching the prescribed threshold voltage is set by an erasure means in accordance with stored erasure characteristic information, as erasure operation is performed conforming the above, threshold voltage of a memory cell after erasure can be controlled to near the previously set erasure target value, threshold voltage of a memory cell after erasure can be controlled highly accurately without performing erasure verifying.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ( 誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特開2001-93287(P2001-93287A)  
 (43)【公開日】平成13年4月6日(2001.4.6)  
 (54)【発明の名称】不揮発性半導体記憶装置  
 (51)【国際特許分類第7版】

G11C 16/02

## 【F】

G11C 17/00 612 E

【審査請求】未請求

【請求項の数】19

【出願形態】JOL

【全頁数】12

(21)【出願番号】特願平11-270873

(22)【出願日】平成11年9月24日(1999.9.24)

(71)【出願人】

【識別番号】000002185

【氏名又は名称】ソニー株式会社

【住所又は居所】東京都品川区北品川6丁目7番35号

(72)【発明者】

【氏名】宮下 勝

【住所又は居所】東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)【代理人】

【識別番号】100094053

【弁理士】

【氏名又は名称】佐藤 隆久

【テマコード(参考)】

58025

【ファミリー(参考)】

58025 AA03 AB01 AC01 AD03 AD04 AE08

(57)【要約】  
 【課題】書き込み特性に基づき消去特性を予測し、それに応じて設定した消去条件に従ってメモリ消去を行い、消去後のしきい値電圧を高精度に制御できる不揮発性半導体記憶装置を実現する。

【解決手段】消去特性推定手段はメモリセルの書き込み特性に基づき、例えば、予め取得した書き込み特性と消去特性との相関関係に応じて消去特性を推定し、得られた消去特性情報に基づき消去手段に記憶する。消去動作のとき、消去手段によって、記憶した消去特性情報に応じて消去条件、例えば、所定のしきい値電圧に達するまでの消去パルスの印加回数を設定し、それによって消去動作を行うので、消去後のメモリセルのしきい値電圧を予め設定した消去目標値の近傍に制御することができ、消去ベリファイを行うことなく消去後のメモリセルのしきい値電圧を高精度に制御できる。

## 【特許請求の範囲】

- 【請求項1】書き込み及び消去により、電荷蓄積層であるフローティングゲートの蓄積電荷量を制御し、しきい値電圧を少なくとも2つの異なるレベルに設定し、当該しきい値電圧に応じた情報記憶するメモリセルを有する不揮発性半導体記憶装置であって、上記メモリセルの書き込み特性に応じて、上記メモリセルの消去特性を推定する消去特性推定手段と、上記消去特性推定手段によって推定した消去特性情報に基づき、消去時に上記消去特性推定手段に記憶した上記消去特性情報に応じて、上記メモリセルの消去条件を決定し、当該消去条件に従って上記メモリセルに対して消去動作を行う消去手段とを有する不揮発性半導体記憶装置。
- 【請求項2】上記書き込み動作のとき、上記メモリセルのチャネル形成領域を基準電圧に保持し、制御ゲートに所定の振幅を持つ書き込みパルスを印加し、上記フローティングゲートに電荷を導入する書き込み手段を有する請求項1記載の不揮発性半導体記憶装置。
- 【請求項3】上記消去特性推定手段は、上記メモリセルのしきい値電圧を所定の書き込み目標値に達するまで、上記メモリセルの制御ゲートに印加される上記書き込みパルスの回数を、上記書き込み特性として入力する請求項2記載の不揮発性半導体記憶装置。
- 【請求項4】上記消去手段は、上記メモリセルの制御ゲートを基準電圧に保持し、上記メモリセルのチャネル形成領域に所定の振幅を持つ消去パルスを印加し、上記フローティングゲートから電荷を引き抜く請求項1記載の不揮発性半導体記憶装置。
- 【請求項5】上記消去特性推定手段は、上記メモリセルのしきい値電圧が所定の消去目標値に達するまで、上記メモリセルのチャネル形成領域に印加される上記消去パルスの回数を、上記消去条件として決定する請求項4記載の不揮発性半導体記憶装置。
- 【請求項6】上記消去特性推定手段は、上記メモリセルの書き込み特性と消去特性との相関関係に基づき、上記メモリセルの消去特性を推定する請求項1記載の不揮発性半導体記憶装置。
- 【請求項7】複数のメモリセルを直列接続してなるメモリストリングが複数配置され、各メモリストリングがそれぞれ選択トランジスタを介してビット線及びソース線に接続されたメモリセルレイアウトにおいて、各メモリセル行に配置されている複数のメモリセルの制御ゲートがそれぞれ複数のワード線に接続され、書き込み及び消去によって、各メモリセルのフローティングゲートに記憶した情報を読み出し、しきい値電圧を少なくとも2つの異なるレベルに設定し、当該しきい値電圧に応じた情報を各メモリセルに記憶する不揮発性半導体記憶装置であって、上記メモリセルの書き込み特性に応じて、上記メモリセルの消去特性を推定する消去特性推定手段と、上記消去特性推定手段によって推定した消去特性情報に基づき、消去時に上記消去特性推定手段に記憶した上記消去特性情報に応じて、上記メモリセルの消去条件を決定し、当該消去条件に従って上記メモリセルに対して消去動作を行う消去手段とを有する不揮発性半導体記憶装置。
- 【請求項8】上記複数のワード線から何れか一つを選択ワード線として選択し、当該選択ワード線に書き込み電圧を振幅とする書き込みパルスを印加し、上記選択ワード線に隣接するワード線に基準電圧を印加し、上記選択ワード線及びそれに隣接するワード線以外のすべてのワード線に上記書き込み電圧と上記基準電圧の間に設定されているバス電圧を印加するワード線駆動回路と、上記ビット線に書き込みデータに応じた電圧を印加するビット線駆動回路とを有する請求項7記載の不揮発性半導体記憶装置。
- 【請求項9】上記消去特性推定手段は、上記メモリセルのしきい値電圧を所定の書き込み目標値に達するまで、上記メモリセルの制御ゲートに印加される上記書き込みパルスの回数を、上記書き込み特性として入力する請求項8記載の不揮発性半導体記憶装置。
- 【請求項10】上記消去手段は、上記メモリセルの制御ゲートを基準電圧に保持し、上記メモリセルのチャネル形成領域に所定の振幅を持つ消去パルスを印加し、上記フローティングゲートから電荷を引き抜く請求項7記載の不揮発性半導体記憶装置。
- 【請求項11】上記消去手段は、上記メモリセルのしきい値電圧が所定の消去目標値に達するまで、上記メモリセルのチャネル形成領域に印加される上記消去パルスの回数を、上記消去条件として決定する請求項10記載の不揮発性半導体記憶装置。
- 【請求項12】上記消去特性推定手段は、上記メモリセルの書き込み特性と消去特性との相関関係に基づき、上記メモリセルの消去特性を推定する請求項7記載の不揮発性半導体記憶装置。
- 【請求項13】上記消去特性推定手段は、上記各ワード線ごとに上記消去特性を推定する請求項7記載の不揮発性半導体記憶装置。
- 【請求項14】上記特性記憶手段は、上記各ワード線ごとに推定した上記消去特性情報を記憶する請求項13記載の不揮発性半導体記憶装置。

【請求項15】上記消去手段は、複数のワード線に接続されているメモリセルからなるメモリブロック消去単位として、各消去単位ごと一括して消去を行う請求項7記載の不揮発性半導体記憶装置。

【請求項16】上記消去特性推定手段は、上記メモリブロックごとに上記消去特性を推定する請求項15記載の不揮発性半導体記憶装置。

【請求項17】上記特性記憶手段は、上記メモリセルブロックごとに推定した上記消去特性情報を記憶する請求項16記載の不揮発性半導体記憶装置。

【請求項18】上記消去特性推定手段は、メモリチップごとに上記消去特性を推定する請求項15記載の不揮発性半導体記憶装置。

【請求項19】上記特性記憶手段は、上記メモリチップごとに推定した上記消去特性情報を記憶する請求項18記載の不揮発性半導体記憶装置。

## 詳細な説明

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置、特に電荷蓄積層であるフローティングゲートを有するフローティングゲート型メモリセルを記憶素子に備え、それぞれのメモリセルの書き込み特性に基づいて推定した消去条件でメモリセルに対して消去を行う不揮発性半導体記憶装置に関するものである。

## 【0002】

【従来の技術】書き込みデータをほぼ半永久的に保持できる不揮発性メモリとして、フローティングゲート型メモリセルを記憶素子とするNAND型不揮発性メモリがある。NAND型不揮発性メモリでは、複数のメモリセルを直列接続してなるメモリストリングを基板上に多数配置してメモリセルアレイを形成するため、高密度化、大容量化に適しており、さらにそれぞれメモリセルのフローティングゲートに注入した電荷量を制御することによって、メモリセルのしきい値電圧を複数の異なるレベルに設定できる、いわゆる多値メモリを実現できる。このような多値メモリ装置において、一つのメモリセルに複数のビットのデータを記憶でき、メモリセル数を増加せずに大容量化を実現できる特徴が注目され、近年、NAND型不揮発性メモリに関する研究が盛んに行われている。

【0003】フローティングゲート型不揮発性メモリセルにおいて、消去時に制御ゲートを低い電圧、例えば、0Vに保持し、メモリストリングの両端に接続されているビット線及びソース線をともにフローティング状態にし、そして基板に正の高電圧(以下、これを消去電圧という)を印加することによって、それぞれのメモリセルにおいて、ゲート絶縁膜を隔ててフローティングゲートからチャネル形成領域に向かって高電界が発生し、フローティングゲートにある電荷(電子)がゲート絶縁膜を通過してチャネル形成領域に放出するFNT(フロッティング・ネーリング)現象が発生するので、フローティングゲートの蓄積電荷が基板側に引き抜かれ、メモリセルのしきい値電圧が低いレベル、例えば、デプレーション型トランジスタのように負のレベルに保持される。書き込みによって、書き込みデータに応じてそれぞれメモリセルの制御ゲートに接続されているワード線電圧が設定されるので、書き込みデータに応じて各メモリセルのしきい値電圧が制御される。このため、読み出しにおいて選択メモリセルの制御ゲートに接続されているワード線の電圧を段階的に変化させながら、選択メモリセルを流れる読み出し電流を検出することで、そのしきい値電圧を判断できるので、選択メモリセルの記憶データを読み出すことができる。

【0004】NAND型不揮発性メモリの一つの特徴は、複数メモリセルの一括消去である。即ち、消去動作は、メモリセルアレイ単位、或いは複数のメモリセルを含むメモリブロック単位で一括して行われる。このため、NAND型不揮発性メモリは通常NAND型フラッシュメモリ(Flash memory)と呼ばれる。

【0005】消去によってしきい値電圧を0V以下の負レベルにし、それを例えばデータ“1”に対応させ、そして書き込みによってしきい値電圧を0V以上にし、それをデータ“0”に対応させる従来の2値不揮発性メモリでは、データ“1”と“0”にそれぞれ対応するしきい値電圧の分布の間に十分のマージンが取れ、かつ負型のしきい値電圧分布は書き込みまたは読み出し動作に特に影響を与えないので、消去動作時にしきい値電圧のペリファイ(Verify)を行わず、基板側に消去電圧の振幅を持つパルス信号を十分に印加して消去を行う。

【0006】多値メモリの場合、書き込みの高速化のため、ビット線に書き込みデータに応じた複数の電圧を印加して、複数のメモリセルに対して同時に多値データの書き込みを行う。また、多値メモリの場合、一つのメモリセルに記憶データに応じて複数のしきい値電圧分布を設定するため、各しきい値電圧の分布範囲の間にマージンが2値メモリより狭くなり、書き込み時のディストーションによる誤動作を防止する対策が必要である。これを実現する技術として、特開平8-279297号公報に開示されたローカルセルフーストがある。

【0007】ローカルセルフースト方法を用いて書き込みを行う場合、選択ワード線に高い書き込み電圧 $V_{pgm}$ を印加し、選択ワード線に隣接するワード線に第1のパス電圧 $V_{pass1}$ を印加し、選択ワード線とその隣接するワード線以外の他のすべてのワード線に第2のパス電圧 $V_{pass2}$ を印加する。第1のパス電圧 $V_{pass1}$ は、第2のパス電圧 $V_{pass2}$ より低く設定することによって、選択ワード線に隣接するワード線に接続されているメモリセルを非導通状態に保持されるので、選択メモリセルにおいて、そのソース、ドレイン及びチャネル形成領域それぞれの電圧が容量結合によって局部的昇圧される。これによって、選択メモリセルの制御ゲートとチャネル形成領域の電圧差がFN

トンネリングが発生するのに必要な電圧差以下に抑制されるので、しきい値電圧の変動を効果的に防止できる。

## 【0008】

【発明が解決しようとする課題】ところで、多値NAND型フラッシュメモリにおいて、ローカルセルフーストを用いて、並列書き込みを行う場合、その動作が以下の制限を受ける。まず、消去セルのしきい値電圧の上限を決める必要がある。そして、ディスターブ耐性向上のために、消去メモリセルのしきい値電圧の下限を決定する必要がある。即ち、消去メモリセルのしきい値電圧が予め決められている電圧範囲内に分布するよう制御する必要がある。

【0009】これらを実現するために、消去時に消去パルスを印加した後ペリファイを行い、メモリセルのしきい値電圧が目値値に選んでいるかを否かを判断する必要がある。ペリファイは、例えば、書き込みペリファイに使用しているリファレンス電流発生回路を用いて行うが、このリファレンス電流は、読み出しにおいて誤動作を引き起こすAGLの影響をなくすために、通常、1 $\mu$ A以下程度に設定している。しかし、並列書き込みを実現するために、必要な消去しきい値電圧を得るには、リファレンス電流を2、8 $\mu$ A程度に設定する必要がある。このため、従来のNAND型フラッシュメモリでは、書き込みペリファイと消去ペリファイの判定電流に大きな開きがあり、消去ペリファイを正しく行うためには、消去ペリファイを改善する必要がある。

【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、メモリセルの消去特性を予測し、それに応じて設定した消去条件により消去を行い、消去時のメモリセルのしきい値電圧を高精度に制御できる不揮発性半導体記憶装置を提供することにある。

## 【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置は、書き込み及び消去により、電荷蓄積層であるフローティングゲートの蓄積電荷量を制御し、しきい値電圧を少なくとも2つの異なるレベルに設定し、当該しきい値電圧に応じた情報を記憶するメモリセルを有する不揮発性半導体記憶装置であって、上記メモリセルの書き込み特性に応じて、上記メモリセルの消去特性を推定する消去特性推定手段と、上記消去特性推定手段によって推定した消去特性情報を記憶する特性記憶手段と、消去時に上記特性記憶手段に記憶した上記消去特性情報に応じて、上記メモリセルの消去条件を決定し、当該消去条件に従って上記メモリセルに対して消去動作を行う消去手段とを有する。

【0012】また、本発明の不揮発性半導体記憶装置は、例えば、NAND型不揮発性メモリであり、複数のメモリセルを直列接続してなるメモリストリングが複数配置され、各メモリストリングがそれぞれ選択トランジスタを介してビット線及びソース線に接続されたメモリセルアレイにおいて、各メモリセル行に配置されている複数のメモリセルの制御ゲートがそれぞれ複数のワード線に接続され、書き込み及び消去によって、各メモリセルのフローティングゲートの蓄積電荷量を制御し、しきい値電圧を少なくとも2つの異なるレベルに設定し、当該しきい値電圧に応じた情報を各メモリセルに記憶する不揮発性半導体記憶装置であって、上記メモリセルの書き込み特性に応じて、上記メモリセルの消去特性を推定する消去特性推定手段と、上記消去特性推定手段によって推定した消去特性情報を記憶する特性記憶手段と、消去時に上記特性記憶手段に記憶した上記消去特性情報に応じて、上記メモリセルの消去条件を決定し、当該消去条件に従って上記メモリセルに対して消去動作を行う消去手段とを有する。

【0013】また、本発明では、好適には、上記複数のワード線から何れか一つを選択ワード線として選択し、当該選択ワード線に書き込み電圧を振幅とする書き込みパルスを印加し、上記選択ワード線に隣接するワード線に基準電圧を印加し、上記選択ワード線及びそれに隣接するワード線以外のすべてのワード線に上記書き込み電圧と上記基準電圧の間に設定されているパス電圧を印加するワード線駆動回路と、上記ビット線に書き込みデータに応じた電圧を印加するビット線駆動回路とを有する。

【0014】また、本発明では、好適には、上記消去特性推定手段は、上記メモリセルのしきい値電圧を所定の書き込み目録値に選するまで、上記メモリセルの制御ゲートに印加される上記書き込みパルスの回数を、上記書き込み特性として入力する。

【0015】また、本発明では、好適には、上記消去手段は、上記メモリセルの制御ゲートを基準電圧に保持し、上記メモリセルのチャネル形成領域に所定の振幅を持つ消去パルスを印加し、上記フローティングゲートから電荷を引き抜く。当該消去手段は、上記メモリセルのしきい値電圧が所定の消去目録値に達するまで、上記メモリセルのチャネル形成領域に印加される上記消去パルスの回数を、上記消去条件として決定する。

【0016】また、本発明では、好適には、上記消去特性推定手段は、上記メモリの書き込み特性と消去特性との相関関係に基づき、上記メモリの消去特性を推定する。  
 【0017】さらに、本発明では、好適には、上記消去特性推定手段による消去特性の推定は、ワード線ごとに、消去単位であるメモリブロックごとに、またはメモリチップごとに上記推定した消去特性情報を記憶する。

【0018】本発明によれば、不揮発性半導体記憶装置において、消去特性推定手段によって、書き込み特性、例えば、書き込み動作のときメモリのしきい値電圧が所定の書き込み基準値に達するまで、選択ワード線に印加する書き込みパルスの数に基づき、予め取得した書き込み特性と消去特性との相関関係によって消去特性が推定され、得られた消去特性情報記憶手段に記憶される。消去動作のとき、消去手段によって、記憶手段に記憶した消去特性情報に応じて消去条件、例えば、メモリセルに印加する消去パルスの回数が設定され、それに従って消去動作が行われる。この結果、消去後のメモリのしきい値電圧を予め設定した消去目標値の近郊に制御することができる。即ち、本発明の不揮発性半導体記憶装置において、消去動作のとき消去パライの代わりに、書き込み特性から推定して消去特性に基づいて設定した消去条件に従ってメモリ消去を行うことで、消去後のメモリのしきい値電圧を高精度に制御できる。

【0019】  
 【発明の実施の形態】図1は本発明に係る不揮発性半導体記憶装置の一実施形態を示すブロック図である。図示のように、本実施形態の不揮発性半導体記憶装置はメモリアレイ10、カラムデコーダとセンスアンプとデータラッチ20、ロウデコーダ30、コントロール回路40、昇圧回路50、消去特性推定回路60及び特性記憶回路70によって構成されている。

【0020】メモリアレイ10は、行列状に配置されている複数の不揮発性メモリセルによって構成されている。ここで、各メモリセルは、例えば、電荷蓄積層とするフローティングゲートを持つワード線に接続され、ワード線によって、メモリセルが行ごとに選択される。また、同一列に配置されている各メモリセルは同じビット線によって書き込みデータが供給され、さらに同じビット線から記憶データが読み出される。各ワード線がロウデコーダ30に接続され、各ビット線がカラムデコーダに接続されている。

【0021】カラムデコーダは、入力されるカラムアドレスに応じて、一本または複数本のビット線を選択する。読み出しのとき、選択ビット線をセンスアンプに接続し、センスアンプによって、選択ビット線に接続されている選択メモリの記憶データを読み出し、書き込みのとき、選択ビット線をデータラッチに接続し、データラッチによってラッチされた書き込みデータに応じて、選択ビット線の電圧を設定し、選択メモリの書き込みデータを格納する。

【0022】センスアンプは、読み出し及びペライのときに動作し、選択ビット線の電位を検出し、検出した電位に応じて選択メモリの記憶データを読み出す。データラッチは、書き込みのとき動作し、書き込みデータを保持し、それに応じて選択ビット線を所定の電位に設定する。

【0023】ロウデコーダ30は、入力されるロウアドレスに応じて一本または複数本のワード線を選択する。書き込み、読み出しまたは消去動作のとき選択ワード線にそれぞれ所定の電圧を印加する。

【0024】コントロール回路40は、外部から入力される制御信号に応じて、メモリ装置の各部分回路の動作を制御し、装置全体の書き込み、読み出し及び消去動作を制御する。

【0025】昇圧回路50は、制御回路40の制御に従って電源電圧から必要の高電圧を発生し、ロウデコーダ30または他の部分回路に供給する。書き込み、読み出し及び消去動作のとき、昇圧回路50は、それぞれ異なる電圧を発生し、選択ワード線または基板に供給する。

【0026】なお、上述した各構成部分は、従来の不揮発性半導体記憶装置のそれぞれ部分回路とほぼ同じ構成及び機能を有する。このため、本発明では、公知技術によって構成できる部分回路については特に詳細な説明を省略する。

【0027】消去特性推定回路60と特性記憶回路70は、本発明によって提案した構成部分である。以下、これらについてそれぞれ説明する。消去特性推定回路60は、コントロール回路40からメモリの書き込み時の特性データを入力し、それに応じてメモリの消去特性を推定する。ここで、書き込み特性データは、例えば、書き込み動作においてメモリのしきい値電圧が所定の目標値に達するまでの書き込みパルスの印加する回数Nなどをいう。不揮発性メモリ、特性NAND型のフラッシュメモリにおいて、書き込み及び消去は、ともにFNNエンリッング電流によってメモリのフローティングゲートに対して電荷の注入若しくは電荷の引き抜きによって行われる。即

ち、書き込み及び消去は、同じゲート絶縁膜に対して高電圧を印加することによって当該ゲート絶縁膜を通過するFNNエンリッング電流を発生させることによって実現できる。このため、書き込み特性と消去特性には一定の関連性が存在する。本発明は、この書き込みと消去特性の関連性に注目して、書き込み特性に応じて消去特性を推定し、それに基づき消去時印加する消去パルスの電圧振幅、消去パルスの印加回数などの消去条件などを推定し、当該推定条件に従って消去動作を行うことで、消去後のペライ動作の代わりに、消去後のメモリのしきい値電圧を保証する。

【0028】具体的に、消去特性推定回路60は、コントロール回路40から入力された書き込み特性データに応じて、消去特性を推定する。なお、書き込み特性データは、例えば、製品検査時に行われる書き込みにおいて、コントロール回路40によって取得される。そして、推定した消去特性に応じて、消去条件を設定し、コントロール回路40に当該消去条件を提供するので、コントロール回路40は、消去条件に従って、消去動作にかかわるそれぞれの部分回路に動作指示を出し、それに従ってそれぞれの部分回路が動作し、消去動作が実行される。

【0029】特性記憶回路70は、メモリの書き込み特性または消去特性を示す特性データを記憶する。例えば、書き込み動作においてコントロール回路40から書き込み特性データが入力されるとき、特性記憶回路70は、当該特性データを記憶し、必要とき消去特性推定回路60に提供し、なお、書き込み特性データの代わりに、例えば、消去特性推定回路60によって推定した消去特性を示す消去データを記憶することもできる。この場合、例えば、書き込み動作時に消去特性推定回路60から推定結果に応じて消去特性データが出力され、特性記憶回路70によって記憶される。そして、消去動作を行うとき、コントロール回路40によって消去特性データが読み出され、それに応じて消去条件が設定される。

【0030】上述のように、本実施形態の不揮発性半導体記憶装置において、従来の構成に消去特性推定回路60及び特性記憶回路70を設けて、消去特性推定回路60によって、メモリの書き込み特性から消去特性が推定される。消去動作のとき、推定された消去特性に基づき、消去条件が設定され、それに従って消去動作が行われるので、従来の不揮発性メモリにおける消去ペライの代わりに、消去後のメモリのしきい値電圧が保証される。

【0031】図2は、メモリアレイ10の一構成例を示す回路図である。ここで、例えば、NAND型フラッシュメモリを例として、メモリアレイの構成を示す。図示のように、メモリアレイ10は、行列状に配置されている16行×4列のメモリセルMC<sub>11</sub>、MC<sub>12</sub>、MC<sub>13</sub>、MC<sub>14</sub>、MC<sub>21</sub>、MC<sub>22</sub>、MC<sub>23</sub>、MC<sub>24</sub>、…、MC<sub>151</sub>、MC<sub>152</sub>、MC<sub>153</sub>、MC<sub>154</sub>、MC<sub>161</sub>、MC<sub>162</sub>、MC<sub>163</sub>、MC<sub>164</sub>によって構成されている。

【0032】メモリセルアレイ10において、各列に16個のメモリセルが直列接続されて、メモリストリングが構成されている。それぞれのメモリストリングの一端がビット線側選択トランジスタST<sub>11</sub>、ST<sub>12</sub>、ST<sub>13</sub>、ST<sub>14</sub>を介して、ビット線BL<sub>1</sub>、BL<sub>2</sub>、BL<sub>3</sub>、BL<sub>4</sub>に接続され、他端がソース選択側選択トランジスタGT<sub>11</sub>、GT<sub>12</sub>、GT<sub>13</sub>、GT<sub>14</sub>を介して共通のソース線CSLに接続されている。ビット線側選択トランジスタST<sub>11</sub>～ST<sub>14</sub>のゲートが選択信号線DSGに接続され、ソース線側選択トランジスタGT<sub>11</sub>～GT<sub>14</sub>のゲートが選択信号線SSGに接続されている。各行に配置されているメモリの制御ゲートがそれぞれワード線WL<sub>1</sub>、WL<sub>2</sub>、…、WL<sub>15</sub>、WL<sub>16</sub>に接続されている。ここで、共通のソース線CSLは、例えば、基板上に形成されているpウェル領域に形成され、ワード線WL<sub>1</sub>～WL<sub>16</sub>は、それぞれ金属配線層に形成されている。

【0033】ワード線WL<sub>1</sub>～WL<sub>16</sub>及び選択信号線DSG、SSGは、それぞれロウデコーダ30に接続され、書き込み、読み出しまたは消去時に、ロウデコーダ30によって、これらのワード線及び信号線にそれぞれ所定の電圧信号が印加される。ビット線BL<sub>1</sub>～BL<sub>4</sub>は、選択ゲートを介してセンスアンプまたはデータラッチ回路に接続される。選択ゲートは、カラムデコーダによってオン/オフが制御される。

【0034】図3は、本実施形態のメモリのしきい値電圧の分布例を示している。図示のように、メモリのしきい値電圧は記憶データData0～Data7に対応して、それぞれ8つの異なる領域に分布するように制御される。ここで、例えば、消去動作によってメモリのしきい値電圧V<sub>th</sub>がOV以下の負の領域に分布するように制御される。しきい値電圧V<sub>th</sub>がこの領域に分布する場合、メモリの記憶データを“Data7”とする。

【0035】書き込み動作によって、書き込みデータに応じて、メモリのしきい値電圧V<sub>th</sub>がそれ

それぞれ異なる分布領域に設定される。例えば、書き込みデータが“Data0”の場合、図3に示すように、メモリのしきい値電圧 $V_{th}$ が電圧 $V_{g0}$ 以上の分布領域に設定される。

【0036】読み出しのとき、それぞれのメモリのしきい値電圧 $V_{th}$ に応じて、それに記憶されているデータが読み出される。読み出し動作において、例えば、選択ワード線に印加される読み出し電圧をスキャンして、それを読み出し電圧が印加されたとき、センスアンプによって選択メモリセルを流れる読み出し電流を検出し、それに印加された選択メモリセルの記憶データを判断する。例えば、選択ワード線に電圧 $V_{g2}$ を印加したとき、センスアンプによって読み出し電流が検出され、電圧 $V_{g3}$ を印加したとき、センスアンプによって読み出し電流が検出された場合、選択メモリセルのしきい値電圧 $V_{th}$ は、電圧 $V_{g3}$ と電圧 $V_{g2}$ との間に分布していることがわかり、その記憶データは、Data3と判断できる。

【0037】以下、図4を参照しつつ、本実施形態の不揮発性半導体記憶装置におけるデータの読み出し、消去及び書き込み動作についてさらに詳細に説明する。図4において、例えば、ワード線WL6を選択ワード線として、それに接続されている選択メモリセルに対して、読み出し、消去及び書き込み動作時それぞれ動作条件を示している。

【0038】まず、読み出しのとき、例えば、プリチャージ回路(図示せず)によって、ビット線BL1～BL4が1.5V程度のプリチャージ電圧に設定される。ロウデコーダ30によって、選択信号線DSG、SSGにそれぞれ6Vの電圧が印加されるので、ビット線側選択トランジスタ $ST_{11} \sim ST_{14}$ 及びソース線側選択トランジスタ $GT_{11} \sim GT_{14}$ がすべてオンする。さらに、選択ワード線WL6を除く他のワード線には、6Vの電圧が印加される。ここで、メモリのしきい値電圧 $V_{th}$ が5Vとすると、ワード線に6Vの電圧が印加されると、それに接続されているすべてのメモリセルがオンする。読み出しのとき、共通ソース線CSLがOVに保持され、pウェル(pwell)もOVに保持される。

【0039】選択ワード線WL6には、OVから6Vまで複数段階に分けられた読み出し電圧が順次印加される。例えば、図3に示すように、選択ワード線WL6にOVの電圧から、 $V_{g5}, V_{g4}, \dots, V_{g0}$ の順にそれぞれ印加される。選択ワード線WL6に印加される読み出し電圧が選択メモリセルのしきい値電圧 $V_{th}$ より低い場合、選択メモリセルがオフし、読み出し電流が流れないので、ビット線電圧はほぼプリチャージ電圧のままになる。一方、読み出し電圧が選択メモリセルのしきい値電圧 $V_{th}$ より高い場合、選択メモリセルがオンし、ビット線から共通ソース線CSLに電流の経路が形成されるので、読み出し電流が流れ、ビット線電位は低下し、プリチャージ電圧より低くなる。このため、読み出しのとき、ビット線に接続されているセンスアンプによって、ビット線電位を検出することにより選択メモリセルの記憶データを読み出すことができる。

【0040】次に、消去動作について説明する。図3に示すように、消去動作時に、ビット線BL1～BL4がフロートイング状態に保持され、さらに選択信号線DSG、SSG及び共通ソース線CSLもフロートイング状態に保持される。すべてのワード線WL1～WL16がOVに保持され、pウェルに、例えば、20V程度の消去電圧が印加される。

【0041】このようなバイアス条件において、各メモリセルにおいて、制御ゲートがOVに保持され、ソース、ドレインがフロートイング状態にあり、チャネル形成領域が高い消去電圧でバイアスされるので、FNNトンネル電流によって、フロートイングゲートからチャネル形成領域に向かって電子が流れ、メモリのしきい値電圧 $V_{th}$ が低下し、例えば、図3に示すように“Data7”に対応する分布領域に設定される。

【0042】なお、本実施形態において、消去特性性推定回路60によって推定された消去特性性に応じて消去時の動作条件が制御される。例えば、ここで、消去動作時にpウェルにパルス状の消去電圧が印加されるとする。推定された消去特性性に応じて、パルス信号の振幅、パルス幅及びパルスの印加回数などがそれぞれ設定されるので、消去動作後、メモリのしきい値電圧 $V_{th}$ がある一定の分布範囲内に収束する。即ち、本実施形態において、消去後のペリファリが行われず、その代わりに消去動作の条件がすべて推定された消去特性性に基づいて正確に制御されるので、消去後のメモリのしきい値電圧 $V_{th}$ がある一定の分布範囲内に制御することができる。

【0043】次に、書き込み動作について説明する。本実施形態において、ローカルセルフープースト方式に基づき、選択メモリセルに対して書き込みが行われる。図4に示すように、書き込みのとき、

ビット線BL1～BL4に書き込みデータに応じて印加した電圧が印加される。例えば、書き込みデータが消去後のしきい値電圧に対応するデータ(図3では、“Data7”である)と同じ場合、メモリのしきい値電圧を低化させる必要がなく、かつ書き込みディスターブによるしきい値電圧の変化を防止することが要求される。この場合、当該メモリセルに接続されているビット線を非選択ビット線として、それに電源電圧 $V_{cc}$ に相当する電圧が印加される。一方、非選択ビット線以外のビット線にそれぞれ書き込みデータに応じて0～1.4Vの電圧が印加される。

【0044】ロウデコーダ30によって、選択信号線DSGに電源電圧 $V_{cc}$ が印加され、選択信号線SGにOVの電圧が印加されるので、ビット線側選択トランジスタ $ST_{11} \sim ST_{14}$ がオンし、ソース線側選択トランジスタ $GT_{11} \sim GT_{14}$ がオフする。さらに、選択ワード線WL6に、例えば18V程度の高電圧(以下プログラム電圧 $V_{pgm}$ という)が印加され、選択ワード線に隣接するワード線、この場合、ワード線WL6の両側のワード線WL5、WL7にOVの電圧が印加され、それ以外のワード線WL1～WL4、WL8～WL16にプログラム電圧 $V_{pgm}$ の半分程度のバス電圧 $V_{pass}$ 、例えば、10V前後の電圧が印加される。なお、書き込み時に共通のソース線CSL及びpウェルがともにOVに保持されている。

【0045】以下、図4及び図5を参照しながら、ローカルセルフープースト方式における書き込み動作についてさらに詳細に説明する。図5、一列のメモリセルを示している。以下、説明の便宜上当該メモリセル列に接続されているビット線をBLとし(これは自然数)、ビット線側選択トランジスタを $ST_i$ 、ソース線側選択トランジスタを $GT_i$ 、メモリセルを $MC_{11}, MC_{21}, \dots, MC_{61}, \dots, MC_{151}, MC_{161}$ とする。ここで、メモリセル $MC_{61}$ が選択メモリセルである。

【0046】図5に示すように、選択ワード線WL6にプログラム電圧 $V_{pgm}$ が印加され、それに隣接するワード線WL5、WL7にOVの電圧が印加され、それ以外のワード線にバス電圧 $V_{pass}$ が印加される。さらに、選択信号線DSGに電源電圧 $V_{cc}$ が印加されるので、ビット線側選択トランジスタ $ST_i$ がオンする。選択信号線SSGにOVの電圧が印加されるので、ソース線側選択トランジスタ $GT_i$ がオフする。

【0047】また、図4によると、選択ワード線WL6に印加されるプログラム $V_{pgm}$ は、例えば、18V程度であり、選択ワード線及びその隣接ワード線以外のワード線に印加されるバス電圧 $V_{pass}$ は、例えば、10V程度である。選択メモリセル $MC_{61}$ に消去状態のしきい値電圧分布に対応するデータ、例えば、図3に示すデータ“Data7”を保持させる場合、ビット線BLに電源電圧 $V_{cc}$ が印加され、一方、選択メモリセル $MC_{61}$ にデータ“Data7”を書き込み場合に、ビット線BLに、書き込みデータに応じて、例えば、0～1.4Vの間に設定された書き込み電圧 $V_{bl}$ が印加される。

【0048】書き込みは、選択ワード線WL6に隣接するワード線WL5、WL7にOVの電圧を印加し、他のワード線WL1～WL4、WL8～WL16にバス電圧 $V_{pass}$ を印加したあと、選択ワード線WL6にプログラム電圧 $V_{pgm}$ を印加する手順で行われる。書き込みの間に、ビット線BLには、書き込みデータに応じて書き込み電圧 $V_{bl}$ が印加される。

【0049】上述したように、選択メモリセル $MC_{61}$ のしきい値電圧を消去状態のままに保持する場合、ビット線BLに書き込み電圧 $V_{bl}$ として、電源電圧 $V_{cc}$ が印加される。このため、選択トランジスタ $ST_i$ のソースが( $V_{cc} - V_{th1}$ )に保持される。ここで、 $V_{th1}$ は選択トランジスタ $ST_i$ のしきい値電圧である。制御ゲートにバス電圧 $V_{pass}$ が印加されるメモリセル $MC_{11} \sim MC_{61}$ がオンする。このため、バス電圧 $V_{pass}$ がワード線WL1～WL4に印加されたとき、メモリセル $MC_{51}$ のドレインが少なくとも( $V_{cc} - V_{th1}$ )に保持される。そして、選択ワード線WL6にプログラム電圧 $V_{pgm}$ が印加されたとき、選択メモリセル $MC_{61}$ における容量結合(カップリング)によって、当該選択メモリセル $MC_{61}$ のドレイン、ソース及びチャネル形成領域が高い電圧に昇圧されるので、選択メモリセル $MC_{61}$ の両側に接続されている隣接メモリセル $MC_{51}, MC_{71}$ がすべてオフする。

【0050】選択メモリセル $MC_{61}$ の両側のメモリセル $MC_{51}, MC_{71}$ がオフしたとき、容量カップリングに

よる昇圧(セルフブースト)が選択メモリセル $MC_{6i}$ のみに于行われる、いわゆるローカルセルブーストが起きる。このため、選択メモリセル $MC_{6i}$ のドレイン、ソース及びチャネル形成領域が通常の容量カップリングより高い電圧に昇圧され、制御ゲートとチャネル形成領域間の電圧差がFNTノンネリングが発生しにくいレベルに保持されるので、当該選択メモリセル $MC_{6i}$ のしきい値電圧の変動を防止できる。

【0051】次に、選択メモリセル $MC_{6i}$ のしきい値電圧を書き込みデータに応じて、消去後のしきい値電圧と異なるレベルに設定する場合、上述したように、ビット線 $BL_i$ には、書き込みデータに応じて0V～1.4Vの間に設定された書き込み電圧 $V_{BL}$ が印加される。この場合、選択トランジスタSTI及びメモリセル $MC_{1i} \sim MC_{4i}$ がオンし、さらに、選択メモリセル $MC_{6i}$ に隣接するメモリセル $MC_{5i}$ のしきい値電圧が消去状態のしきい値電圧、即ち、0V以下とすると、ワード線 $WL5$ に0Vの電圧が印加されたときでも当該メモリセル $MC_{5i}$ がオンする。このため、ビット線 $BL_i$ に印加される書き込み電圧 $V_{BL}$ が選択トランジスタSTI及びメモリセル $MC_{1i} \sim MC_{5i}$ を介して、選択メモリセル $MC_{6i}$ のチャネル形成領域に伝達される。これによって、選択メモリセル $MC_{6i}$ のチャネル電圧がビット線 $BL_i$ に印加される書き込み電圧 $V_{BL}$ に応じて設定されるので、選択ワード線 $WL6$ にプログラム電圧 $V_{pgm}$ が印加されたとき、当該選択メモリセル $MC_{6i}$ の制御ゲートとチャネル形成領域間の電圧差に応じて、FNTノンネリングによってそのしきい値電圧が書き込みデータに応じてレベリに制御される。

【0052】書き込み時に、選択ワード線にパルス信号であるプログラム電圧 $V_{pgm}$ を印加し、その後書き込みペリアフィによって書き込み対象となる選択メモリセルのしきい値電圧が目標準値に達しているか否かを判定する。選択メモリセルのしきい値電圧が目標準値に達するまで、書き込みパルスが繰り返して選択ワード線に印加される。なお、書き込みペリアフィにおいて、例えば、選択ワード線に目標のしきい値電圧値に基づいたペリアフィ電圧を印加したとき、選択メモリセルを流れる電流を検出し、検出した電流と基準電流(リファレンス電流)とを比較することによって、選択メモリセルのしきい値電圧が目標準値に達したか否かを判断する。

【0053】上述したように、ローカルセルフブースト方式によって書き込みを行うとき、選択メモリセルのしきい値電圧を書き込みデータに応じて正しく制御するために、消去状態にあるメモリセルのしきい値電圧 $V_{th0}$ がある一定のレベル以下に設定する必要がある。即ち、消去動作によって設定されたメモリセルのしきい値電圧 $V_{th}$ には上限値がある。通常、このしきい値電圧の上限値を保证するために、消去動作時に消去ペリアフィが行われ、メモリセルのしきい値電圧がその上限値以下になっているか否かを確認しながら、消去動作が繰り返される。消去ペリアフィは、書き込みペリアフィで使用しているリファレンス電流で行うことができるが、通常、消去ペリアフィにおけるメモリセル電流が書き込みペリアフィにおけるメモリセル電流と大きく異なるため、消去ペリアフィは十分な精度が得られない。

【0054】図6は、消去ペリアフィ電流と書き込みペリアフィ電流を比較するためのグラフである。図示のように、消去状態の目標しきい値電圧 $V_{th0}$ を、例えば、-1.5Vとすると、それに応じた消去ペリアフィの判定電流が2.8 $\mu$ Aである。これに対して、書き込みペリアフィは、例えば、しきい値電圧 $V_{th}$ が-0.8Vに対応したリファレンス電流、例えば、1 $\mu$ Aで判定するので、これら判定基準電流には大きな開きがある。即ち、読み出しペリアフィのリファレンス電流によって、消去ペリアフィの精度を十分に保証できない。

【0055】そこで、本発明では、消去ペリアフィの代わりに、書き込み、例えば製品検査段階に行われている書き込みにおいて取得した書き込み特性より、メモリセルの消去特性を推定し、推定した消去特性に基づいて消去条件を設定し、それに従って消去動作を行うことによって、消去後のメモリセルのしきい値電圧 $V_{th}$ を所定の目標値に設定する。

【0056】図7は、書き込み特性に基づく消去特性の推定方法を示すグラフである。なお、図7は、ISPP(Incremental Step Pulse Programming)法を用いた書き込みの動作例をシミュレーションによって得られた結果を示しているものである。ISPP法では、書き込み時に選択ワード線に書き込みパルスを複数回にわたって印加する。書き込み回数の増加に伴って書き込みパルスの電圧レベルを変化させ、例えば、徐々に高く設定していく。ISPP法によって、書き込みの高速化を実現できる利点があり、現在不揮発性メモリの書き込みに広く利用されている方法である。

【0057】図7に示すように、メモリセルのパラツキによって、そのしきい値電圧 $V_{th0}$ を所定の書き込み目標値 $V_{thW}$ に達するまでの印加パルスの回数が異なる。例えば、書き込み開始時のしきい値電圧初期値を $V_{th0}$ とすると、あるメモリセルがN1回のパルス印加によってしきい値電圧が書き込み目標値 $V_{thW}$ に達する。他のメモリセルがそれぞれN2回及びN3回のパルス印加によってしきい値電圧が目標準値 $V_{thW}$ に達する。

【0058】メモリセルの消去及び書き込みは、ともにFNTノンネリングによる電子の移動でしきい値電圧を変化させて実現できるので、書き込みと消去の動作条件には強い相関関係がある。即ち、あるメモリセルに対して、書き込み時に書き込みパルスの印加回数 $N1$ に基づき、同じメモリセルに対して消去を行う場合、消去後のしきい値電圧がある基準値に達するために必要な消去パルスの印加回数は、一意に求まる。

【0059】このため、本発明では、例えば、図1に示す消去特性推定回路60Iによって、メモリセルの書き込み特性に基づき、その消去特性を推定する。具体的に、例えば、予め求めた書き込みと消去動作の相関関係を消去特性推定回路60Iに入力して、消去特性推定回路60Iは、書き込み動作時に取得した書き込み特性、例えば、書き込みパルスの印加回数により、予め入力した相関関係に基づき消去特性、例えば、消去パルスの印加回数を推定する。当該推定の結果を図1に示す特性記憶回路70Iに記憶し、消去動作時にこの記憶データに基づき制御回路40Iは消去条件を設定し、消去動作を実行する。これによって、消去後のメモリセルのしきい値電圧をほぼ予定した目標範囲内に分布するように制御される。

【0060】例えば、図7(b)に示すように、書き込みパルスの印加回数 $N1$ に対応して、消去特性推定回路60Iは、消去パルスの印加回数 $N1'$ の推定結果が得られる。同様に、書き込みパルスの印加回数 $N2$ 及び $N3$ それぞれに対して、消去パルスの印加回数 $N2'$ と $N3'$ がそれぞれ推定される。推定された消去パルス印加回数が特性記憶回路70Iに記憶され、消去時に記憶データに応じた消去条件が設定されるので、図7(b)に示すように、パラツキによって特性のそれぞれ異なるメモリセルに対して、推定した消去回数で消去パルスを印加した後、それぞれのしきい値電圧 $V_{th}$ が目標の分布範囲、例えば、消去上限値と消去下限値の間に、消去目標値 $V_{thE}$ の近傍に分布するように制御される。

【0061】上述した図7では、ISPP法による書き込みをシミュレーションした結果を示しているが、本発明は、書き込み方法としてISPP法に限らず、例えば、印加電圧を一定のまゝにして、パルスを印加する時間を制御する方法でも消去特性の推定が可能である。

【0062】また、書き込み特性による消去特性の推定は、上述した書き込みと消去の相関性に基づく推定方式以外に、例えば、FNTノンネリング特性を反映する数式に基づいて、書き込み特性により消去特性を計算する方法、また、書き込み特性と消去特性を元にデータベースを作成し、当該データベースを参照して、消去特性を推定する方法も可能である。

【0063】一般的に、同一チップ上に形成されている不揮発性メモリセルがほぼ同一の特性を有する。このため、本発明では、消去特性推定回路60Iは不揮発性メモリセルの消去単に毎に、例えば、メモリブロック毎に書き込み特性に基づき消去特性を推定し、推定結果に応じた消去特性データを特性記憶回路70Iによって保持する。消去動作時に、特性記憶回路70Iに記憶した消去特性データに基づき、消去条件が設定される。即ち、ブロック毎に消去を行うフラッシュメモリにおいて、同一の消去単位においてすべてのメモリセルが同じ消去条件によって消去される。なお、本発明はこれに限定するものではなく、例えば、同一チップ上のすべてのメモリセルが同じ特性を有することを前提し、チップ毎に消去条件が推定され、記憶することが可能である。また、消去後のしきい値電圧の精度を改善するため、消去単位である例えばメモリセルブロックを複数のグループに細分化して、各グループ毎に消去特性を推定し、消去条件を設定することもできる。これによって、特性記憶回路70の記憶容量が増加するが、消去後のしきい値電圧を高精度に制御できる。

【0064】特性記憶回路70Iは、不揮発性メモリを用いて構成することができるが、他の記憶手段、例えば、ヒューズなどの素子で構成することもできる。この場合、製品検査のとき書き込み特性に応じて消去特性を推定し、得られた消去特性データに応じて、例えば、レーザビームなどによりヒューズの切断を行い、ヒューズの切断状態に応じて消去特性データが記憶される。

【0065】なお、以上の説明では、NAND型不揮発性メモリを実施形態として説明したが、本発明は、NAND型不揮発性メモリに限定されるのではなく、書き込み特性と消去特性との間に何ら



かの対応関係を有するならば、他の不揮発性メモリ、例えば、NOR型、AND型などの不揮発性メモリにも適用できる。それぞれの不揮発性メモリにおいて、例えば、予めメモリの書き込み特性と消去特性との相関関係を取得すれば、書き込み特性に基づいて消去特性及び消去条件を一意的に推定できる。そして、消去ペリファライの代わりに取得した消去条件に従ってメモリ消去を行うことによって、消去後のメモリのしきい値電圧を高精度に制御できる。

【0066】

【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、メモリの書き込み特性から消去特性を推定し、消去時に推定した消去特性に基づき消去特性を推定し、それに応じて消去条件が設定されるので、消去ペリファライの代わりに設定された消去条件によって消去後のメモリのしきい値電圧を目標範囲内に設定でき、消去しきい値電圧を高精度に制御でき、書き込みディスタースの抑制でき、高信頼性の多値メモリを実現できる利点がある。

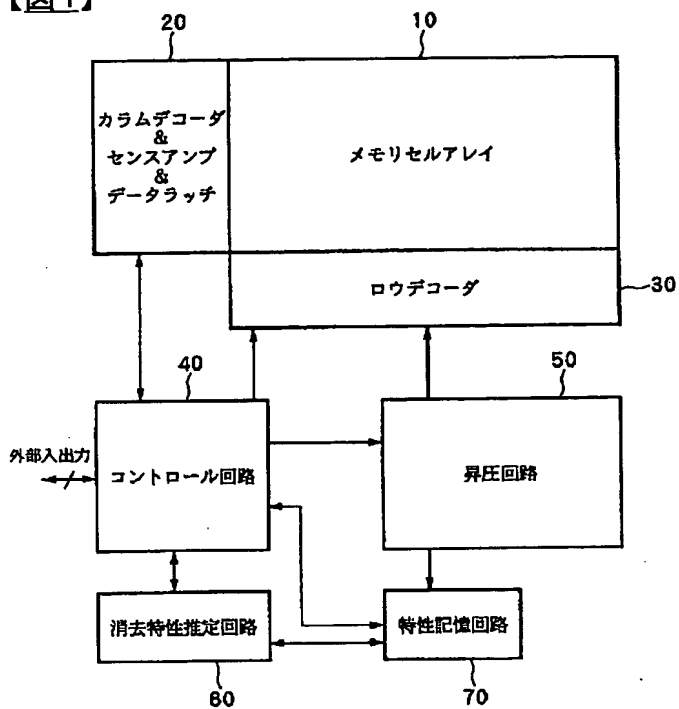


## 図の説明

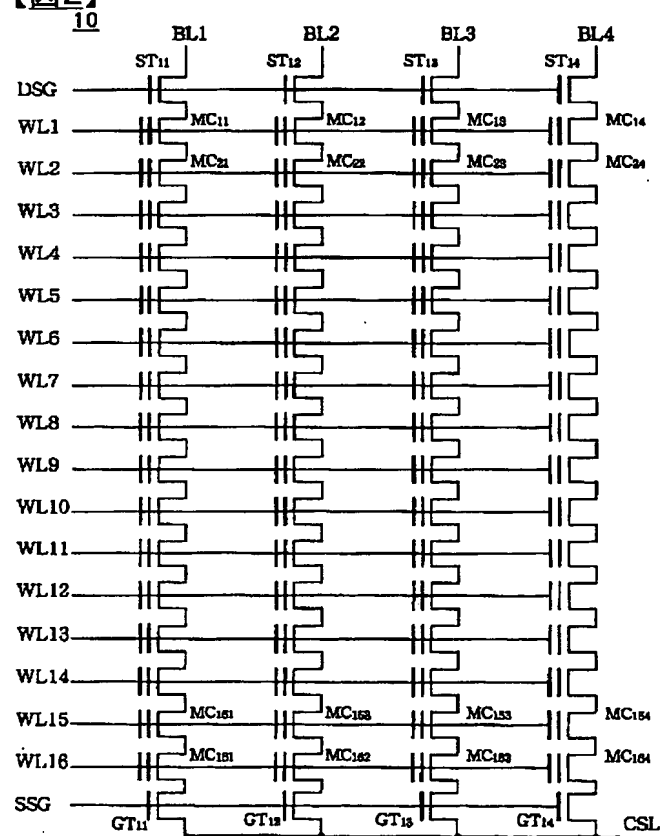
## 【図面の簡単な説明】

- 【図1】本発明に係る不揮発性半導体記憶装置の一実施形態を示す回路ブロック図である。
- 【図2】メモリアルレイの構成を示す回路図である。
- 【図3】多値メモリのしきい値電圧の分布図である。
- 【図4】メモリの読み出し、消去及び書き込み動作条件を示す図である。
- 【図5】ローカルセルフreesトによる書き込み動作を示す回路図である。
- 【図6】メモリアルセルの消去しきい値電圧とメモリアルセル電流を示すグラフである。
- 【図7】書き込み特性に基づく消去特性の推定を示すグラフである。
- 【符号の説明】
- 10…メモリアルレイ、20…カラムデコーダ&センスアンプ&データラッチ、30…ロウデコーダ、40…コントロール回路、50…昇圧回路、60…消去特性推定回路、70…特性記憶回路、WL1、WL2、WL3、…、WL15、WL16…ワード線、BL1、BL2、BL3、BL4…ビット線、CSL…共通のソース線、ST<sub>11</sub>、ST<sub>12</sub>、ST<sub>13</sub>、ST<sub>14</sub>…ビット線側選択トランジスタ、GT<sub>11</sub>、GT<sub>12</sub>、GT<sub>13</sub>、GT<sub>14</sub>…ソース線側選択トランジスタ、V<sub>CC</sub>…電源電圧、GND…接地電位。

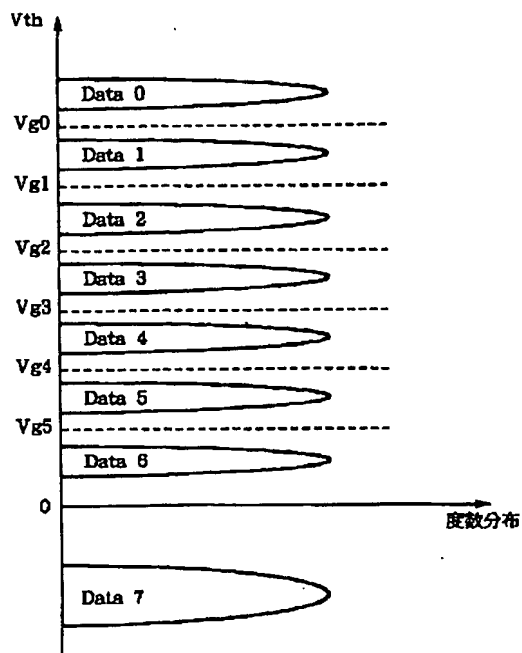
【図1】



【図2】



【図3】



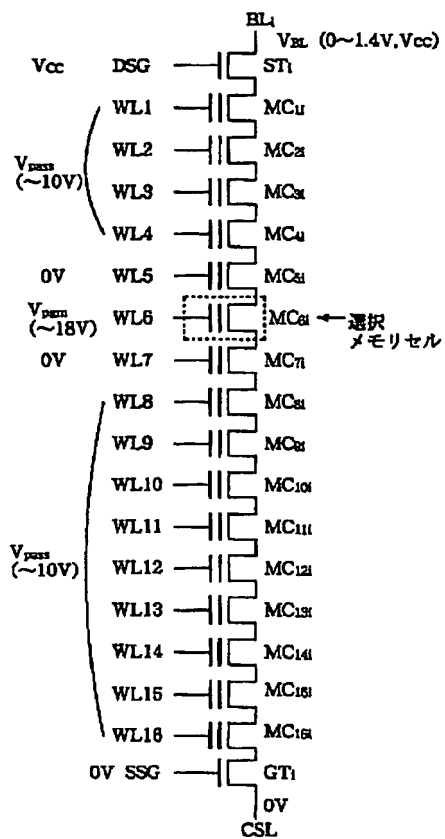
【図4】

NAND型Flash Memoryの動作条件

	読み出し	消去	書き込み
BL1~4	~1.5V	Floating	0~1.4V、Vcc
DSC	~6V	Floating	Vcc
SSG	~6V	Floating	0V
WL1~4	~6V	0V	~10V
WL5	~6V	0V	0V
WL6	0~6Vでscan	0V	~18V
WL7	~6V	0V	0V
WL8~16	~6V	0V	~10V
CSL	0V	Floating	0V
Pwell	0V	~20V	0V

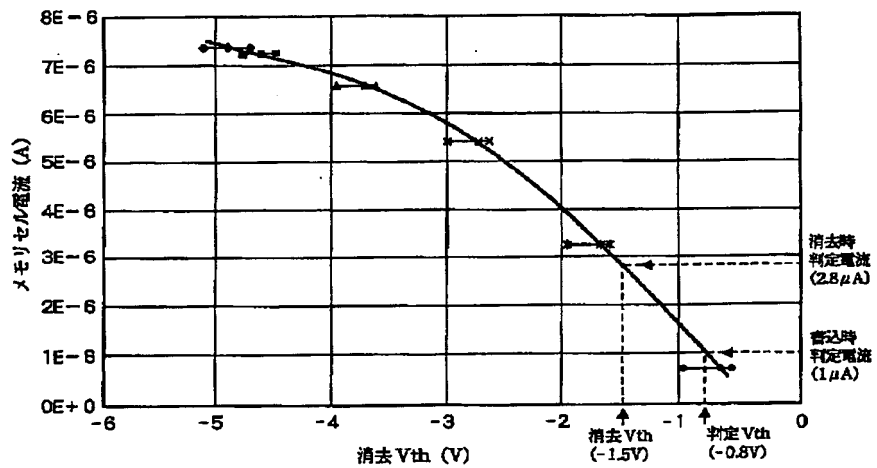
※ WL6上のセルを選択した例

【図5】



【図6】

消去 Vth vs. メモリセル電流



【図7】

